Application and implementation of video scaling algorithm based on FPGA

Zhang Liang, Wang Jingcun, Mei Biao

(College of Information Science and Engineering, Wuhan University of Science and Technology, Wuhan 430081, China)

Abstract: Focusing on the practical requirements of the monitoring video controller in some displaying systems, this paper introduces a circuit architecture which is designed for real-time scale of four video signals. Through analyzing the display quality and hardware realizability of several scaling algorithms, selects implement video scaling by bilinear interpolation algorithm and uses line buffers architecture as the core of algorithms implementation based on FPGA. The design mainly consists of the data buffer module, the coefficient generation module and the integrated control module. To meet the quality requirements of video scaling, this design avoids selecting complex algorithms to cause FPGA resources to be consumed excessively, and effectively solves the problem of image distortion caused by the loss of the original image information. The result indicates that the system can realize arbitrary scaling, and its real-time flexibility and display effect are good, which can meet the application requirements of the actual project.

Key words: video scaling; bilinear interpolation; line buffer; FPGA
1.2 插值是由两个变量插值函数的线性插值扩展

图像在轮廓上有一定的模糊

像素的垂直线性插值

要处理的原始图像像素点周围

式中

$I(R1) = \frac{x^2 - x}{x^2 - x_1} I(x_1, y_1) + \frac{x - x_1}{x^2 - x_1} I(x_2, y_1)$

(1)

$I(R2) = \frac{x^2 - x}{x^2 - x_1} I(x_1, y_2) + \frac{x - x_1}{x^2 - x_1} I(x_2, y_2)$

(2)

$Q(x, y) = \frac{y^2 - y}{y^2 - y_1} I(R1) + \frac{y - y_1}{y^2 - y_1} I(R2)$

(3)

$Q(x, y) = \frac{(x^2 - x)(y^2 - y)}{(x^2 - x_1)(y^2 - y_1)} I(x_1, y_1) + \frac{(x - x_1)(y_2 - y)}{(x^2 - x_1)(y^2 - y_1)} I(x_1, y_2) + \frac{(x_2 - x)(y_1 - y)}{(x^2 - x_1)(y^2 - y_1)} I(x_2, y_1) + \frac{(x - x_1)(y_1 - y)}{(x^2 - x_1)(y^2 - y_1)} I(x_2, y_2)$

(4)
2.2 实现双线性插值的结构框图

2.2.1 FPGA

2.2.2 RAM、YUV422、RAM、YUV444

由于篇幅有限，本文只对整体架构流程粗略介绍。下文将着重对缩放算法的实现过程进行描述。

缩放算法的硬件实现
双线性插值缩放算法硬件实现总体框图如图所示。该设计主要包括大部分分别为数据缓冲、系数与像素值的计算以及整体控制。

数据缓冲缩放模块与之间采用的数据交互方式。由于该算法至少需要两行数据才能进行运算，因此首先将输入的视频数据进行缓存，且需缓存两行视频数据。设计采用两个线缓存来缓存两行数据，每个线缓存由个双口组成。由于输入的数据是格式的数据，所以第一个双口存储分量，每行有深度为。第二个和第三个双口交替存储和都是，故深度选为。设计中采用两个状态机分别控制数据流入和流出线缓存，始终保证一个线缓存中有一行完整的数据，另一个线缓存的写地址大于读地址。确保将要处理的像素值提前写入线缓存。从线缓存读数据时，每个像素值由个双口的输出拼接。也就是分量的同一值会被读取两次。实现了到的转换，方便后续模块的处理。

插值系数的产生
在进行缩放计算时，首先需要确定期望输出的视频分辨率。通过原始输入和期望输出的分辨率确定缩放的比例。如下式所示：

$$x_{scal}=\frac{s\_width}{t\_width}$$
$$y_{scal}=\frac{s\_height}{t\_height}$$

式中，$x_{scal}$、$y_{scal}$是水平方向缩放比例，$x_{scal}$、$y_{scal}$是垂直方向缩放比例，$s\_width$和$s\_height$分别表示原始输入图像的水平和垂直方向上的像素点个数，$t\_width$和$t\_height$分别表示期望输出图像的水平和垂直方向上的像素点个数。

假设待插值点在缩放后的图像中的坐标为$E\!\!\!\!G$, 双线性插值算法的计算公式如下：

$$y_1=ax(yscaler\times m)+b\times(1-(yscaler\times m))$$
$$y_2=c\times(x(yscaler\times m)+d\times(1-(yscaler\times m))$$
$$y=y_1\times(x(yscaler\times m)+y_2\times(1-(yscaler\times m))$$

式中，$a, b, c, d$是$y$和$y$的系数。FPGA、YUV422、YUV444、RAM、RAM、YUV422、YUV444

2.2.3 整体控制

缩放算法的整体控制流程如图所示。由于缩放模块的前后数据流是跨时域的，设计采用进行交互，确保两端的不会超过设定的阈值即可保证数据的正常传输。两个线缓存具有相同的读写地址，对其进行写操作时利用片选信号实现两个线缓存的乒乓操作，可以保证读取到的视频数据为同一行的数据。当线缓存的写地址至少领读地址个单位时，后续模块会读取线缓存中的值并计算。在读的过程中会实现坐标的转换。比如原始图像一行是个像素值，期望输出的图像一行是个像素点，每读取一个数据读取地址累加一次，当每读完个数据时地址不变，重复读取第个数据。这样就实现了列坐标的转换。行坐标的转换类似。由于一个时钟无法完成过多的计算，且水平插值需要垂直插值的结果参与运算，故采用流水线操作将公式分解为步，如式所示。每一步的计算过程完全一样，设计中做成通用模块，只需修改对应的参数，实例化即可。
3.1 New FPGA Design

Table 1: FPGA Resource Utilization

<table>
<thead>
<tr>
<th>Resource Type</th>
<th>Total</th>
<th>Used</th>
<th>Percentage</th>
</tr>
</thead>
<tbody>
<tr>
<td>Logic Cells</td>
<td>2848</td>
<td>816</td>
<td>2.8%</td>
</tr>
<tr>
<td>Dedicated Logic</td>
<td>2848</td>
<td>560</td>
<td>1.9%</td>
</tr>
<tr>
<td>M9Ks</td>
<td>66</td>
<td>6</td>
<td>9%</td>
</tr>
<tr>
<td>DSP 9x9</td>
<td>132</td>
<td>12</td>
<td>9%</td>
</tr>
</tbody>
</table>

6.1 Quartus SignalTap Simulation

720x576 800x600 ...

1. Simulation Results

Table 1: FPGA Resource Utilization

1.1 New FPGA Design

1.1.1 DVI FPGA Design

1.1.2 DVI FPGA Design

1.1.3 DVI FPGA Design


Author Biography

Zhang Liang, M.S. in Electrical Engineering. Specializes in digital signal processing and system design.